

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3402278

Basic Patent (No,Kind,Date): JP 56059291 A2 810522 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY UNIT (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): ISHIHARA TAKESHI

IPC: *G09G-003/36;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 56059291	A2	810522	JP 79135592	A	791019 (BASIC)

Priority Data (No,Kind,Date):

JP 79135592 A 791019

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭56—59291

⑮ Int. Cl.³
G 09 G 3/36

識別記号

庁内整理番号
7250—5C

⑯ 公開 昭和56年(1981)5月22日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 液晶表示装置

門真市大字門真1006番地松下電
器産業株式会社内

⑰ 特 願 昭54—135592

⑰ 出 願 人 松下電器産業株式会社

⑱ 出 願 昭54(1979)10月19日

門真市大字門真1006番地

⑲ 発 明 者 石原健

⑲ 代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1

1. 発明の名称

液晶表示装置

2. 特許請求の範囲

(1) 電界効果トランジスタ群とコンデンサよりなるメモリ機能を有する素子が二次元的に配列された液晶表示装置において、電界効果トランジスタ群として、トランスファ・ゲートと本トランスファ・ゲートの一方のドレインまたはソースがゲートに接続されたインバータとにより構成され、かつ、前記コンデンサとして、前記インバータのゲート部に形成された容量を利用することを特徴とする液晶表示装置。

(2) 少くともインバータが相補型電界効果トランジスタにより構成されていることを特徴とする特許請求の範囲第1項に記載の液晶表示装置。

3. 発明の詳細な説明

本発明は、メモリ機能を有する液晶表示パネルの電極用基板として、シリコン基板を用いた場合の低消費電力化を液晶に印加される電位の安定化

2

を小面積のスイッチング・エレメントで行なわせることを目的としたものである。

従来、シリコン基板を一方の電極とした液晶表示パネルは、第1図に示すように、1個のFETとコンデンサよりなるFETアレイが用いられている。この動作を簡単に説明する。 x はゲート信号で、シフトレジスタにより x_{i-1} 、 x_i 、 x_{i+1} ……という順に順次走査される。今、 x_i にFET T_i をONするような電位が印加されると、コンデンサCに V_0 よりFET T_i を通じて充電される。この電位は液晶ドット1の一方の電極になるため電位の1、0に応じて白または黒がパネルに表示される。次に x_i が切れ、 T_i がOFFしてもリーク電流が極めて小さいため、電位はそのままCに保持され液晶表示もそのまま表示されている。このように x_i が切れ、次に x_{i+1} が入って同様の充電が行なわれ、順次液晶表示がおこなわれる。この場合、直流的な電流パスはないので消費電流は主としてコンデンサの充放電電流だけが小さい電流ですむ代りに、1秒間に30枚表示をおこな

3

うためにはコンデンサに約30m secの間電位を保つだけの電荷を蓄えなければならず、比較的大きいコンデンサを要する。通常3~6 pFの容量を必要としているが、この容量をシリコンシリコン酸化膜-アルミニウムのMOS構造で得ようとするときシリコン酸化膜の厚さをほぼ1000Åとして、120μm×150μm程度の面積をついやしてしまう。したがって絵素面積を大きくしてしまう欠点を有するとともに、コンデンサ電位は液晶を通じて徐々に放電されていくため液晶の抵抗値が保持時間を決定しているという不利な点を有している。

本発明はこれらの欠点を改良しようとするものである。前述の欠点を改良するために発明された本発明の第1の実施例を第2図に示す。

第2図の動作は ϕ_1 により T_{i1} がONすると ϕ_j より電位が T_{i1} を通じてゲート容量 c_i に充電される。この電位が T_{i2} の閾値電位 V_t 以上になると T_{i2} がONし液晶ドット1にはアース電位が保持され、 C_i が放電されて c_i の電位が V_t

5

が液晶に印加される。今、 T_{i1} がONすると c_i には ϕ_j の電位にしたがって充電がおこなわれる。 c_i の電位がCMOSインバータの閾値電圧(略々 $V_{DD}/2$)より高い場合は、 T_{i2N} (n-chトランジスタ)がONし T_{i2P} (p-chトランジスタ)がOFFして液晶にはアース電位が印加される。閾値電圧より低い場合は T_{i2N} がOFF、 T_{i2P} がONして V_{DD} が印加される。いずれの場合もどちらかのトランジスタがOFFしているため直流パスはなく消費電流は極めて小さい。もちろん、この構造を逆にし、P、Nchのトランジスタを入れ換えてもよいが、この場合は V_{DD} の極性が逆になってくる。いずれにしてもシステムの電位構成にしたがって選択する必要がある。 c_i はまた、直流的なリークパスがないため極めて小さくてすむため大面積を要しない利点がある。以上のように本発明によれば小面積でかつ消費電流が極めて小さいパネルを構成することができる。

またCMOSインバータの閾値電圧は大体電源電圧の $1/2$ で、 c_i の変動に対して余裕が大きく動作の

4

以下になると T_{i2} がOFFして液晶ドットには R_i を通じて V_{DD} 電位が印加される。この方法では c_i の電位が V_t の以上、以下に応じてアース電位もしくは V_{DD} 電位が一定に印加され電圧が変動する要素がない利点を奏している。 c_i はトランジスタのリーク電流が極めて小さければ放電パスがない法では T_{i2} がONしている間は直流電流が R_i を通じて流れるため消費電流が増加するので絵素数が多い場合は注意を要する。絵素数100×100の場合、ほぼ10MΩ程度が適当となる。以上はデジタル的に処理した場合であるが T_{i2} のON抵抗を R_i の比を選択することにより、アナログ電位の保持も可能である。また R_i は負荷用MOSトランジスタで構成してもよい。

本発明の第2の実施例を第3図に示す。

T_{i1} はトランスファ・ゲートでPchもしくはNchで構成される。もちろんCMOS構造でもよいが、本質的にはどちらでも可能で基本動作に差は殆んどない。この T_{i1} にCMOSインバータ T_{i2P} 、 T_{i2N} が接続され、このインバータの出力

6

安定化ができる利点も有している。

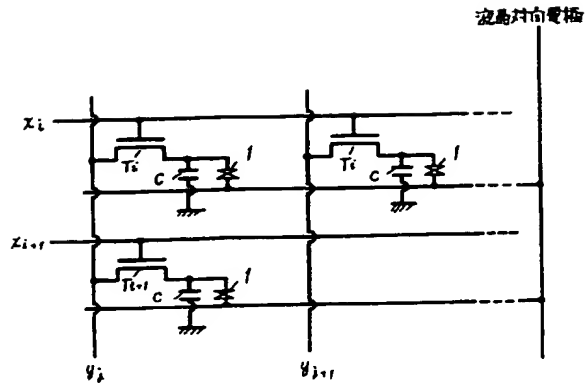
4、図面の簡単な説明

第1図は従来のFETをマトリクス状に配置した液晶表示装置の一部の等価回路を示す図、第2図は本発明の一実施例による液晶表示装置の一部の等価回路を示す図、第3図は同他の実施例による液晶表示装置の一部の等価回路を示す図である。

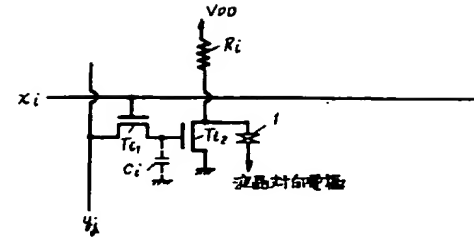
1……液晶ドット、 c_i ……ゲート容量、 T_{i1} ……電界効果トランジスタ(トランスファ・ゲート)、 T_{i2} ……電界効果トランジスタ(インバータ)。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

第 1 図



第 2 図



第 3 図

